

# 車載大電流 SiC トランジスタ

High Current SiC Transistors for Automotive Applications

内田 光亮\*  
Kosuke Uchida

日吉 透  
Toru Hiyoshi

斎藤 雄  
Yu Saitoh

増田 健良  
Takeyoshi Masuda

金田 達志  
Tatsushi Kaneda

築野 孝  
Takashi Tsuno

自動車の電動化が進む中、電力制御に使われるパワーデバイスの電力変換効率は今ますます重要性が増している。現在の主流はシリコン (Si) を用いたパワーデバイスであるが、より高効率なシリコンカーバイド (SiC) の実用化が進んでいる。我々は、その中でも高効率化に有利なゲートを溝 (トレンチ) 型とした金属酸化膜半導体電界効果トランジスタ (MOSFET) を開発してきた。トレンチ構造は低オン抵抗化が可能な独自のV溝型構造を採用し、電界が集中しやすいトレンチ底部には電界緩和領域を導入することで高耐圧を実現してきた。今回、車載用途に必要とされる大電流を満たすため定格電圧1200 V、定格電流200 AのV溝型SiCトレンチMOSFET (VMOSFET) を開発したので報告する。VMOSFETは特性オン抵抗 $3.4 \text{ m}\Omega \text{ cm}^2$ 、耐圧1660 Vと低オン抵抗と高耐圧を両立した。加えて、電界緩和領域により寄生容量を低減することで高速スイッチングも実現した。

As the electrification of automobiles advances, the efficiency of power devices used for electrical power control becomes increasingly important. Although silicon (Si) power devices have been commonly used, the adoption of silicon carbide (SiC) power devices, which are more power efficient than Si devices, have been accelerating. Against this backdrop, we have focused on the development of SiC metal-oxide-semiconductor field-effect transistors (MOSFETs) with trench gates for high efficiency. Our trench MOSFETs can reduce the on-resistance with the V-groove structure and achieve a high breakdown voltage due to the electric field alleviating regions implanted around the trench bottom. Here we report on our V-groove trench MOSFETs (VMOSFETs) that have a rated voltage of 1200 V and current of 200 A as required for high current automotive applications. The VMOSFETs exhibit a low specific on-resistance of  $3.4 \text{ m}\Omega \text{ cm}^2$  and a high breakdown voltage of 1660 V. The VMOSFETs also achieve high speed switching due to the electric field alleviating regions that reduce the parasitic capacitance.

キーワード：パワーデバイス、4H-SiC、トレンチMOSFET

## 1. 緒 言

近年、省エネルギー化とCO<sub>2</sub>排出量抑制のため自動車の電動化が進んでいる。電気自動車やハイブリッド自動車はバッテリーの電力で電動モーターを回して駆動する。この時、電力制御に用いられるのが電力制御用半導体素子、パワーデバイスである。パワーデバイスのほとんどはSiを材料としており、絶縁ゲート型バイポーラトランジスタ (IGBT) 素子が使われている。さらなる燃費改善にはパワーデバイスで発生する電力損失低減が必要である。電力損失はパワーデバイスが導通 (オン) している際の抵抗により発生する損失と、オン状態とオフ状態を繰り返す際に発生するスイッチング損失がある。そのため、低オン抵抗と低スイッチング損失の両立が望まれるが、Si IGBTの特性はすでに物性値から計算される理論的限界に近づいている。

Siに変わる新しい半導体材料としてワイドバンドギャップ半導体のSiCや窒化ガリウム (GaN) への期待が高まっている。SiCはGaNと比較して結晶欠陥の少ない高品質なエピタキシャル基板が量産化されており、縦型デバイスの製造が可能である。当社は独自のシミュレーション技術を活用し、デバイス性能と歩留まりを左右するドーピング濃

度、膜厚の高い均一性と低欠陥密度の両立を実現した6インチSiCエピタキシャル基板 “EpiEra”<sup>(1)</sup> を量産している。縦型デバイスはエピタキシャル層全面を用いるためSiCは大電流、1200 V以上の高耐圧領域に強みがある。そのため、高出力が必要とされる車載インバータではSiC、低出力で動作するDC-DCコンバータにはGaNという棲み分けが予想されている。SiCはSiに比べて絶縁破壊電界、電子飽和速度、熱伝導率が高く、パワーデバイスに適用する上で優れた特性を有し、高耐圧化、低オン抵抗化が可能となる。Siでは高耐圧と低抵抗を両立させるためIGBT構造を採用しているが、バイポーラ動作となるためスイッチング損失が増大する。一方、SiCではMOSFET構造で同じ耐圧が得られるため、ユニポーラ動作により高速スイッチング動作が可能となる。

SiCデバイスはトレンチMOSFETと平面型MOSFETが国内外で商品化されている。トレンチMOSFETは平面型MOSFETと比較して、微細化により電流経路となるチャネル密度の増大が可能となるため低損失化に有利である。

## 2. VMOSFETの特長

当社で開発中のVMOSFET (図1) はチャンネルを形成するトレンチ側壁の結晶面を $\{0\bar{3}3\bar{8}\}^{(2),(3)}$ としているのが特長である。この結晶面は他の結晶面と比較して高いチャンネル移動度を有するため、チャンネル密度の増大と合わせてチャンネル抵抗を大幅に減らし、低損失化が可能となる。

一方で、トレンチ構造では高電圧印加時にトレンチ底(溝底)のゲート酸化膜に電界が集中し、破壊しやすいという問題がある。我々は溝底周辺に電界緩和領域として埋込みp型領域を導入し、電界を緩和することで高信頼性を図ってきた<sup>(4)</sup>。埋込みp型領域はソース電極と電気的に接続してソース電位とすることで、スイッチング速度に影響するゲートドレイン電極間の寄生容量( $C_{rss}$ : 帰還容量)を低減し、高速スイッチングによる低損失化も実現できる<sup>(5)</sup>。

本稿では車載向けに定格電圧1200 V、定格電流200 Aの大電流を実現したVMOSFETの基本特性、並びにインバータ用途を想定したスイッチング特性について報告する。

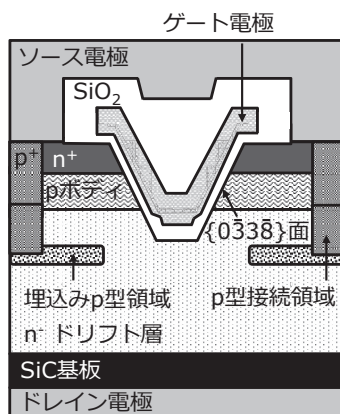


図1 VMOSFETの断面模式図

## 3. VMOSFETの製造方法

150 mmのn型4°オフ4H-SiC (000 $\bar{1}$ ) 基板の上に第1のSiCエピタキシャル層を成長し、n<sup>-</sup>型ドリフト層を形成した。埋込みp型領域はAl (アルミニウム) イオン注入により形成した。その後、表層にn<sup>-</sup>型ドリフト層を再成長した。n<sup>+</sup>コンタクト領域はP (リン) イオン、p型接続領域、p<sup>+</sup>コンタクト領域、pボディ領域はAlイオンを注入することにより形成した。p型接続領域により埋込みp型領域をソース電極と接続して接地している。V溝型トレンチ構造は、熱酸化膜をエッチングマスクとし、Cl<sub>2</sub> (塩素) 雰囲気中の熱化学エッチングでトレンチ側壁に $\{0\bar{3}3\bar{8}\}$ 結晶面を表出することで形成した<sup>(6)</sup>。次にトレンチ底にpoly-Siを堆積し、熱酸化することでトレンチ底に厚さ200 nmの酸化膜を形

成した。これと同時にゲート酸化膜も熱酸化により形成した。酸化に続いて一酸化窒素を用いた酸化膜界面の窒化処理により界面準位密度の低減を図っている。ゲート電極は多結晶シリコンを用いた。オーミックのソース電極とドレイン電極はスパッタリング法による成膜後に1000℃の熱処理で合金化し、その上にAl配線を形成した。

## 4. VMOSFETの静特性

VMOSFETの $I_D$ - $V_{DS}$  ( $V_{GS} = 3 \text{ V} \sim 18 \text{ V}$ ) 特性を図2に示す。室温のオン状態で得られる特性オン抵抗は $3.4 \text{ m}\Omega \text{ cm}^2$  ( $V_{GS} = 15 \text{ V}$ ,  $V_{DS} = 1 \text{ V}$ ) と低く、1素子で200 Aを超える大電流が得られた。 $V_{GS} = 18 \text{ V}$ の条件でオン抵抗は $3.3 \text{ m}\Omega \text{ cm}^2$ であり、オン抵抗のゲート電圧依存性は小さい。このことから、チャンネル抵抗が十分小さいことがわかる。トランジスタが電流を流し始めてオン状態とするのに必要な電圧を示す閾値電圧は $V_{DS} = 10 \text{ V}$ ,  $I_D = 2 \text{ mA}$ の条件で4.0 Vであった。図3に示すようにオフ状態では定格電圧1200 Vを越える1660 Vと定格電圧に対して十分なマージンがある耐圧が得られた。図4には測定周波数100 kHzにおける容量特性を示す。帰還容量は $V_{DS} = 100$

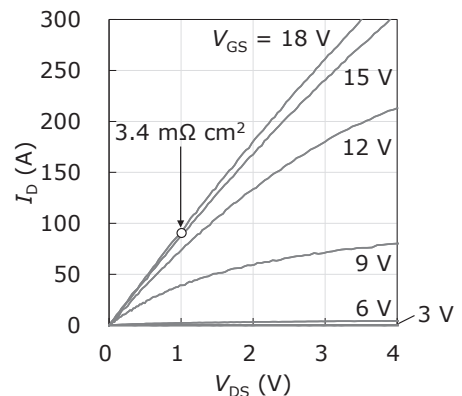


図2  $I_D$ - $V_{DS}$ 特性 ( $V_{GS} = 3 \text{ V} \sim 18 \text{ V}$ )

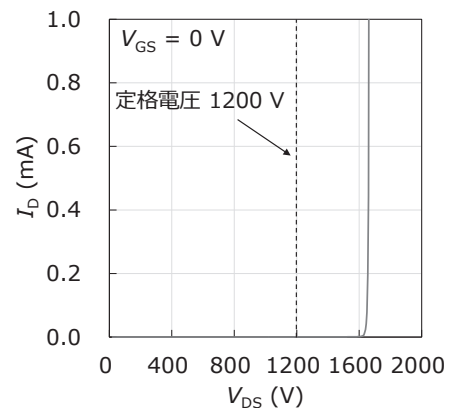


図3  $I_D$ - $V_{DS}$ 特性 ( $V_{GS} = 0 \text{ V}$ )

Vで60 pFと小さく、埋込みp型領域の接地効果が得られていると言える。-55℃～175℃におけるオン抵抗の温度依存性を図5に示す。オン抵抗は温度に対して正の相関を示した。これはSiO<sub>2</sub>/4H-SiC{0338}の界面準位密度が低いため、チャネル抵抗の変化が小さく、n<sup>-</sup>ドリフト層の抵抗増大が支配的となったためと考えられる。図6には閾値電

圧の温度依存性を示す。温度に対し単調に減少し、175℃における閾値電圧は2.9 Vであった。

## 5. VMOSFETのスイッチング特性

スイッチング特性はモーター動作を想定して図7に示す誘導負荷スイッチング回路 ( $R_g = 3.3 \Omega$ ,  $V_{GS} = +15/-5 V$ ,  $V_{DD} = 600 V$ ,  $I_D = 100 A$ ,  $L = 100 \mu H$ ) で評価した。図8に立上り時のスイッチング波形、図9に立下り時の

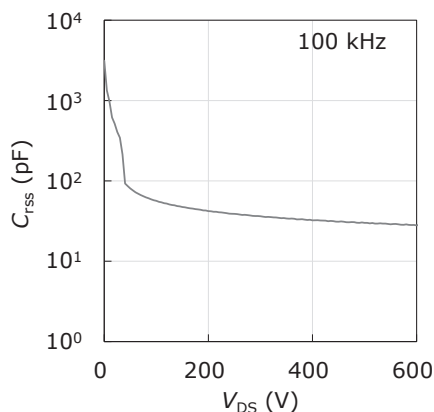


図4 容量特性

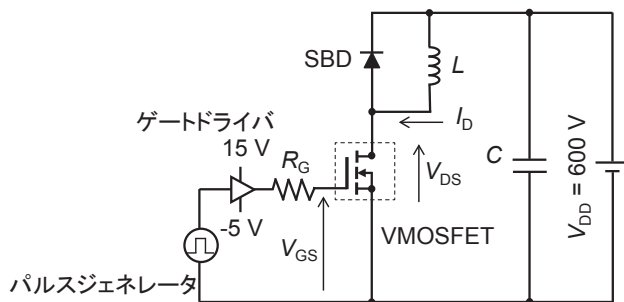


図7 誘導負荷スイッチング回路

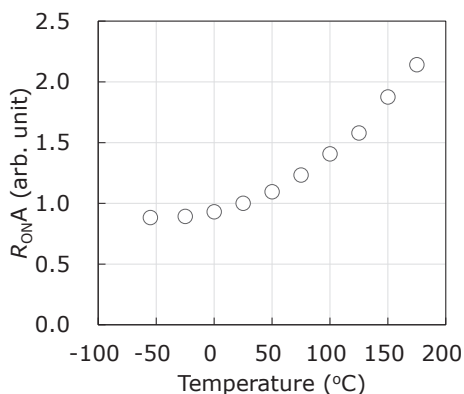


図5 オン抵抗の温度依存性

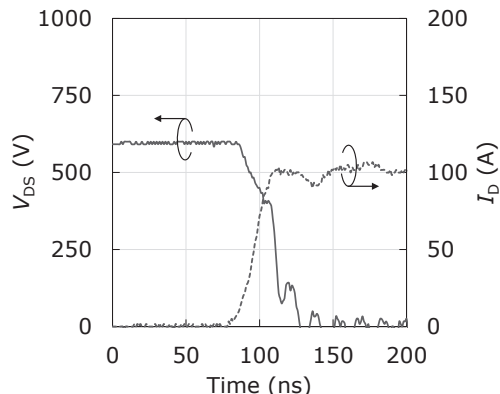


図8 立上り時のスイッチング波形

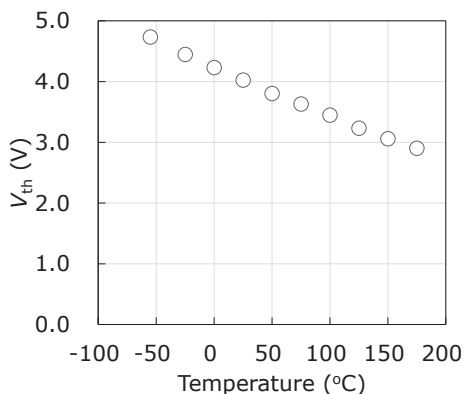


図6 閾値電圧の温度依存性

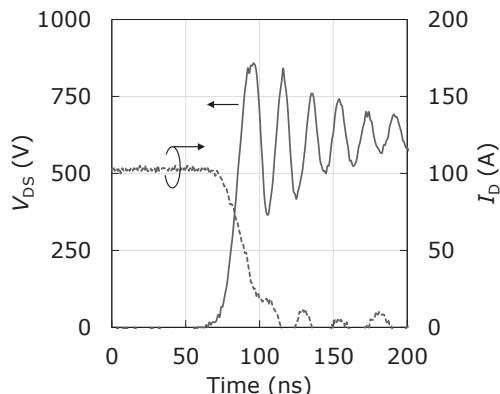


図9 立下り時のスイッチング波形

スイッチング波形を示す。立上り時間は36 ns、立下り時間は12 nsと大電流で高速スイッチング性を示した。この時、スイッチング損失はターンオン損失が740  $\mu\text{J}$ 、ターンオフ損失が770  $\mu\text{J}$ となった。

## 6. 結 言

今回、作製したVMOSFETの特性一覧を表1に示す。低オン抵抗と高耐圧を両立するため、トレンチ側壁を高いチャネル移動度を有する4H-SiC(0338)としたV溝型トレンチSiC MOSFETを開発した。トレンチ溝底に集中する電界を緩和して高耐圧化するためにドリフト層内に埋込みp型領域を取入れた。定格電圧1200 V、定格電流200 AのVMOSFETは特性オン抵抗3.4  $\text{m}\Omega\text{cm}^2$ 、耐圧1660 Vと低オン抵抗と高耐圧を両立した。また、大電流素子でありながら帰還容量は60 pFと低容量を実現している。誘導負荷を用いたスイッチング特性においてVMOSFETは高速スイッチング性能を示した。我々は今回開発したVMOSFETの量産化に向けて準備を進めている段階である。

表1 VMOSFET特性一覧

項目	値	単位	条件
定格電流	200	A	$V_{GS} = 15\text{ V}, T_C = 25^\circ\text{C}$
定格電圧	1200	V	$V_{GS} = 0\text{ V}, I_D = 1\text{ mA}$
オン抵抗	3.4	$\text{m}\Omega\text{cm}^2$	$V_{GS} = 15\text{ V}, V_{DS} = 1\text{ V}$
閾値電圧	4.0	V	$V_{DS} = 10\text{ V}, I_D = 2\text{ mA}$
耐圧	1660	V	$V_{GS} = 0\text{ V}, I_D = 1\text{ mA}$
帰還容量	60	pF	$V_{DS} = 100\text{ V}$
ターンオン損失	740	$\mu\text{J}$	$R_g = 3.3\ \Omega$ $V_{GS} = +15/-5\text{ V}$ $V_{DD} = 600\text{ V}$ $I_D = 100\text{ A}$ $L = 100\ \mu\text{H}$
ターンオフ損失	770	$\mu\text{J}$	
立上り時間	36	ns	
立下り時間	12	ns	

## 7. 謝 辞

本研究は、国立研究開発法人産業技術総合研究所とのテクノブリッジ型共同研究制度の下で、SPEL共同研究体の活動して実施された。

・EpiEraは住友電気工業(株)の登録商標です。

## 参 考 文 献

- (1) 和田圭司、寺尾岳見、宮瀬貴也、堀勉、土井秀之、古米正樹、「低欠陥6インチSiCエピタキシャル基板“EpiEra”」、SEIテクニカルレビュー第193号、pp. 53-57 (2018年)
- (2) H. Yano, T. Hirao, T. Kimoto, H. Matsunami, and H. Shiomi, "Interface properties in metal-oxide-semiconductor structures on n-type 4H-SiC (03-38)," Appl. Phys. Lett., Vol. 81, No. 25, pp. 4772-4774 (2002)
- (3) T. Hiyoshi, T. Masuda, K. Wada, S. Harada, and Y. Namikawa, "Improvement of interface state and channel mobility using 4H-SiC (0-33-8) face," Mater. Sci. Forum, Vols. 740-742, pp. 506-509 (2013)
- (4) T. Masuda, K. Wada, T. Hiyoshi, Y. Saitou, H. Tamaso, M. Sakai, K. Hiratsuka, Y. Mikamura, M. Nishiguchi, T. Hatayama, and H. Yano, "A Novel Truncated V-groove 4H-SiC MOSFET with High Avalanche Breakdown Voltage and Low Specific On-resistance," Mater. Sci. Forum, Vols. 778-780, pp. 907-910 (2014)
- (5) Y. Saitoh, T. Masuda, H. Tamaso, H. Notsu, H. Michikoshi, K. Hiratsuka, S. Harada, and Y. Mikamura, "Switching Performance of V-Groove Trench Gate SiC MOSFETs with Grounded Buried p+ Regions," Mater. Sci. Forum, Vols. 897, pp. 505-508 (2017)
- (6) H. Koketsu, T. Hatayama, H. Yano, and T. Fuyuki, "Shape Control of Trenched 4H-SiC C-face by Thermal Chlorine Etching," Jpn. J. Appl. Phys., Vol. 51, No. 5R, pp. 051201/1-5 (2012)

## 執 筆 者

内田 光亮\* : パワーデバイス開発部



日吉 透 : パワーデバイス開発部 主査



斎藤 雄 : 産業技術総合研究所



増田 健良 : 産業技術総合研究所



金田 達志 : パワーデバイス開発部



築野 孝 : パワーデバイス開発部 部長 (理学博士)



\*主執筆者