

# SiC 高チャネル移動度トランジスタ

日吉 透\*・増田 健良・和田 圭司  
原田 真・築野 孝・並川 靖生

SiC MOSFET with High Channel Mobility — by Toru Hiyoshi, Takeyoshi Masuda, Keiji Wada, Shin Harada, Takashi Tsuno and Yasuo Namikawa — SiC (silicon carbide) MOS (metal oxide semiconductor) devices are promising candidates for high-power, high-speed, and high-temperature switches owing to their superior properties such as wide bandgap, high breakdown electric field, high saturation velocity, and high thermal conductivity. However, excellent device characteristics expected from these physical properties have not been achieved due to the issues related to SiO<sub>2</sub>/SiC interface properties. Although several methods to improve the interface state have been reported, the issues of SiO<sub>2</sub>/SiC interface have not been solved. In this paper, we tried to improve the interface properties by using 4H-SiC (0-33-8) face. The fabricated MOSFET (Field Effect Transistor) showed high channel mobility compared with the conventional crystal face (4H-SiC (0001)). In addition, the MOSFET showed a low on-resistance of 4 mΩ·cm<sup>2</sup> with a blocking voltage of 890 V.

Keywords: silicon carbide, MOSFET, transistor

## 1. 緒言

東日本大震災における福島第一原子力発電所の事故を受け、太陽光発電、風力発電等の自然エネルギーの利用や電気エネルギーの高効率利用への注目が高まっている。自然エネルギーによる発電は、気象条件に左右されやすいという課題に加え、火力発電や原子力発電に比べて発電量が少ないため、発電された電力を効率良く送電・利用する制御技術が求められる。電力の制御技術一般はパワーエレクトロニクスと呼ばれ、制御機器として様々な電力変換器が用いられている。その電力変換器を構成しているのが電力用半導体装置（以下、パワーデバイス）である。電力変換ではパワーデバイスのスイッチングを用いて電力を制御するため、パワーデバイスの損失低減が送電系統の高効率化に直結する。また、モーター等の産業機器や家電の分野においても、インバータを構成しているのはパワーデバイスであり、送電と同様にパワーデバイスの損失低減が重要になる。

現在、パワーデバイスを支えている材料はシリコン (Si: Silicon) である。しかし、Si パワーデバイスは技術の成熟により物性値で決まる性能限界に到達しようとしている。そこで Si に代わるパワーデバイス用材料として注目されているのが、ワイドバンドギャップ半導体の炭化珪素 (SiC: Silicon Carbide) である。SiC は Si に比べて、絶縁破壊電界、電子飽和速度、熱伝導率が高いという優れた物性を持つことから、次世代のパワーデバイス材料として期待されている<sup>(1)</sup>。

SiC は、1993 年に報告されたショットキーバリアダイオード (SBD: Schottky Barrier Diode) 以降<sup>(2)</sup>、精力的な

研究開発が続けられており、現在では特にスイッチング素子の本命である MOSFET (metal oxide semiconductor Field Effect Transistor) の開発が盛んに行われている<sup>(3),(4)</sup>。これまで、SiC MOSFET は 4H-SiC (0001) 上に作製されてきたが、SiO<sub>2</sub>/SiC に存在する界面準位密度が高いため<sup>(5),(6)</sup>、バルク移動度に対して 2 桁程度低いチャネル移動度しか得られていない。この界面準位密度を低減するために、デバイスを作製する結晶面方位として 4H-SiC (11-20)<sup>(7)</sup> や 4H-SiC (000-1)<sup>(8)</sup> を利用すること、SiO<sub>2</sub>/SiC を形成する SiC の酸化工程において酸化<sup>(9)</sup> や POCl<sub>3</sub><sup>(10)</sup> を導入する方法などが提案されている。しかし、根本的な解決に至っていないのが現状である。

この界面準位密度を低減し、チャネル移動度の向上を図るために、我々は 4H-SiC (0-33-8) を用いて MOSFET の試作を行った。4H-SiC (0-33-8) を用いることで、従来に比べて界面準位密度を 1 桁下げ、チャネル移動度を大幅に改善することに成功した。本稿では、4H-SiC (0-33-8) 上の MOS 界面の特性と MOSFET の基本特性について報告する。

## 2. MOS デバイスの構造と製造プロセス

図 1 に評価した MOS デバイスの断面構造図を示す。図 1 (a) は MOS キャパシタと呼ばれ、SiO<sub>2</sub>/SiC の界面特性を調査するための素子である。図 1 (b) は横型 MOSFET であり、チャネル移動度や閾値電圧の評価に用いる。この横型 MOSFET は図 1 (c) に示す縦型 MOSFET のチャネル部

を切り出した構造となっている。図1(c)は前述の通り縦型MOSFETであり、大電流を縦方向に流すことができる製品に最も近い素子構造となる。MOSFETをオン状態にするためには、図2に示すように、ゲート電極に閾値電圧  $V_{th}$  よりも高いゲート電圧 ( $V_G$ ) を印加する。これにより、チャンネル領域に反転チャンネル層が形成され、ソースとドレインが導通状態になり、ドレイン電流 ( $I_D$ ) が流れる。MOSFETをオフさせるためには、ゲート電圧を閾値電圧よりも低くする。このように、MOSFETはゲート電極への電圧印加によってオンとオフを切り替えるスイッチング素子となる。また、パワーMOSFETには、ゲート電圧を印加していない状態ではオフを保つ、ノーマリオフ特性が要求される。さらに、SiCは高温下での使用も期待されているため、高温下でのノーマリオフも必要とされる。このノーマリオフ特性を得るために、本報告ではp-wellの濃度を制御した。

本報告で用いた基板はn型4H-SiC(0-33-8)である。4H-SiC(0-33-8)は図3に示すように、基底面である(0001)に対して、 $\langle 1-100 \rangle$ 方向に $54.7^\circ$ 傾けた面である。この結晶面方位はSiの結晶における3C-Si(001)に対応した結晶面である。3C-Si(001)と $\text{SiO}_2$ の界面は界面単位密度が低いことから<sup>(11)</sup>、SiCにおいても界面単位の低減が期待できる面である。基板上的エピタキシャル成長層は化学的気相成長法によって成長する。エピタキシャル成長層の濃度と膜厚はそれぞれ $7 \sim 9 \times 10^{15} \text{ cm}^{-3}$ 、 $10 \mu\text{m}$ である。p型とn型の注入層は、それぞれAlイオン注入とPイオン注入で形成した。P-wellの濃度は $3 \times 10^{16} \sim 1 \times 10^{18} \text{ cm}^{-3}$ の間で変化させた。ゲート酸化膜はSiCをドライ酸化することで形成し、ゲート酸化膜形成後には界面特性を改善させる目的で窒化処理を導入した<sup>(9)</sup>。ゲート酸化膜の膜厚は約45nmである。ゲート電極にはn型poly-Siを用いた。横型MOSFETのチャンネル長 $L_{ch}$ は $100 \mu\text{m}$ (チャンネル幅 $W_{ch}$ は $200 \mu\text{m}$ )、縦型MOSFETのチャンネル長は $1 \mu\text{m}$ である。縦型MOSFETは、より精度の高いオン抵抗評価と耐圧試験を行うために、銅タングステンベースのメタルパッケージに実装し、電流電圧特性を評価した。比較のために、従来から用いられているn型4H-SiC(0001)にも同様のデバイスを作製し評価を行った。

### 3. MOSデバイスの特性評価

3-1  $\text{SiO}_2/\text{SiC}$ の界面準位評価 最初に、 $\text{SiO}_2/\text{SiC}$ に存在する界面準位密度の評価結果を示す。評価は図1(a)に示すMOSキャパシタを用いて行った。界面準位密度はHigh-Low法で評価した。High-Low法は、MOSキャパシタの容量電圧特性を高周波( $C_{HF}$ )と低周波( $C_{QS}$ )で取得し、それらを比較することで界面準位密度を算出する方法である。図4に界面準位密度の算出結果を示す。横軸にバンドギャップ内の界面準位エネルギー( $E_c$ は導電帯エネルギー

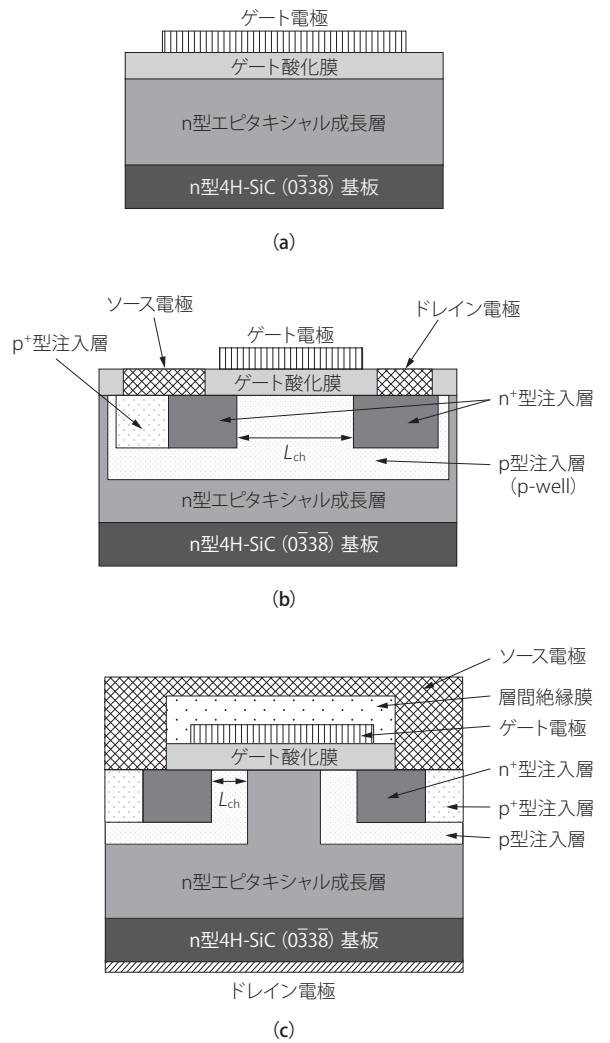


図1 評価に用いたMOSデバイス  
(a) MOSキャパシタ、(b) 横型MOSFET、(c) 縦型MOSFET

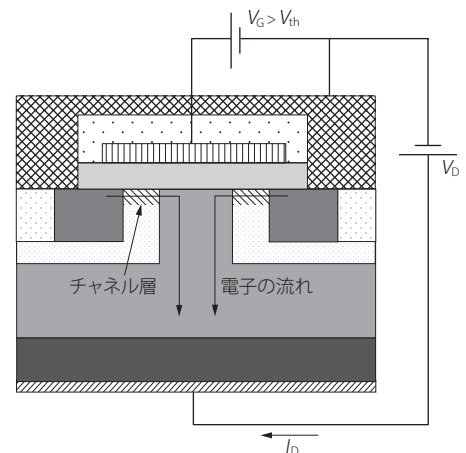


図2 MOSFETの動作原理

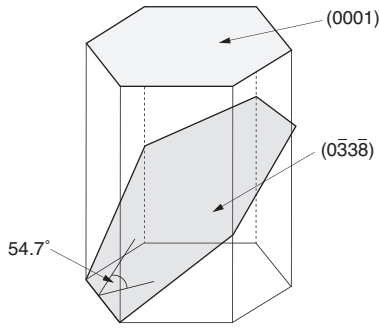


図3 4H-SiC (0-33-8) 面

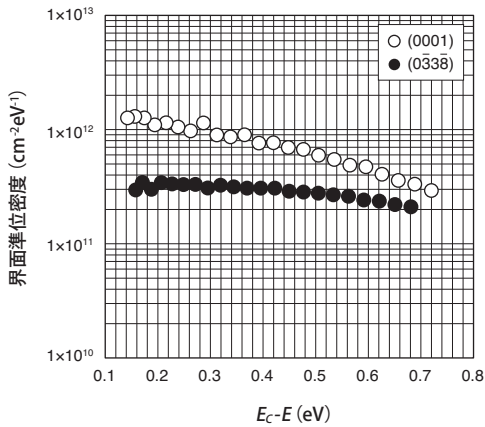


図4 SiO<sub>2</sub>/SiC 界面の界面準位密度の比較

ギー端)、縦軸に界面準位密度を示す。(0-33-8)上のSiO<sub>2</sub>/SiCの界面準位密度は、(0001)上に比べて約一桁低減されており、欠陥の少ない良好な界面が形成されていることがわかる。この界面準位密度が少ない場合、チャネル移動度が高くなることが報告されており<sup>(12)</sup>、(0-33-8)が高チャネル移動度を有することを示唆する結果となった。

**3-2 チャネル移動度と閾値電圧の評価** 3-1項では(0-33-8)上のSiO<sub>2</sub>/SiCに存在する界面準位を評価した。本項では4H-SiC (0-33-8)上に作製した横型MOSFETの電気的特性から電子のチャネル移動度を評価する。図5に横型MOSFET (P-well濃度:  $5 \times 10^{17} \text{ cm}^{-3}$ )から得られた $I_D$ - $V_G$ 特性と $I_D$ - $V_G$ 特性から算出したチャネル移動度 $\mu_{FE}$ (電界効果移動度)を示す。MOSFETの駆動に用いられるゲート電圧域( $V_G = 15 \sim 20 \text{ V}$ )において、チャネル移動度は約 $80 \text{ cm}^2/\text{Vs}$ となった。比較のために作製した(0001)上のMOSFETでは、チャネル移動度が $10 \text{ cm}^2/\text{Vs}$ 程度であったことから、(0-33-8)を用いることでチャネル移動度を大幅に改善できることがわかる。また、上述の通りMOSFETにはノーマリオフという性能が求められるが、(0-33-8)上のMOSFETの閾値電圧 $V_{th}$ (サブスレッショ

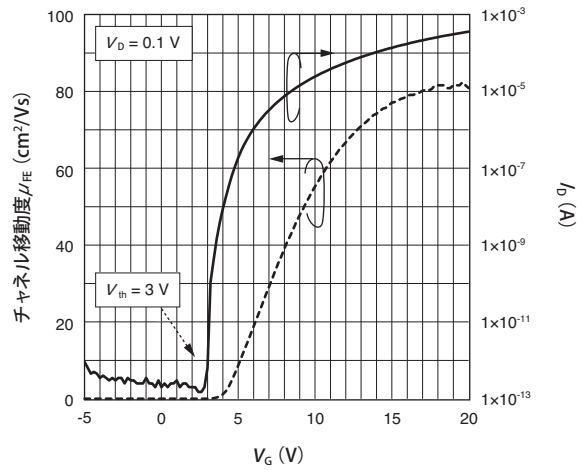


図5 横型MOSFETの $I_D$ - $V_G$ 特性

ルドスロープの立ち上がりから求めた閾値電圧)は3 Vとなり、ノーマリオフ動作を確認することができた。

**3-3 閾値電圧とチャネル移動度のP-well濃度依存性** パワーMOSFETをノーマリオフ化するためには、閾値電圧を高く設計しなければならない。閾値電圧を制御するためには、一般的にP-wellの濃度を調整する方法が用いられる(P-well濃度が高いほど閾値電圧は高くなる)。本開発においても、閾値電圧の制御を目的として、閾値電圧のP-well濃度依存性を調査した。また、それと同時にチャネル移動度のP-well濃度依存性も評価した。

図6に閾値電圧とチャネル移動度のP-well濃度依存性を示す。閾値電圧はP-wellの濃度が増加するとともに高くなることを確認した。特に、P-well濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上となると閾値電圧が3 V以上となり、十分に高い閾値電圧を維持することができる。また、チャネル移動度については、P-wellの濃度増加によって低下する。これは、ドーパントが増加したことにより不純物散乱が顕著になるためであると考えられる。しかし、(0-33-8)面上ではP-wellの濃度が $5 \times 10^{17} \text{ cm}^{-3}$ 以上となっても $60 \text{ cm}^2/\text{Vs}$ 以上の高いチャネル移動度を有していた。(0001)を用いた場合、P-wellの濃度を $5 \times 10^{17} \text{ cm}^{-3}$ とするとチャネル移動度が $10 \text{ cm}^2/\text{Vs}$ 以下まで顕著に低下することが報告されている<sup>(13)</sup>。本結果より、4H-SiC (0-33-8)はチャネル移動度を大きく低下させることなく、閾値電圧を高く設計できる点が大きなアドバンテージとなる。

SiCは高温環境下での動作も期待されており、高温下においても確実にノーマリオフ特性を維持しなければならない。そこで、(0-33-8)上の横型MOSFETを用いて、閾値電圧の温度依存性を取得した。図7にP-well濃度が $1 \times 10^{18} \text{ cm}^{-3}$ の横型MOSFETから得られた閾値電圧の温度依存性を示す。室温で4 V近くあった閾値電圧は、200 °C付近で2.6 Vまで低下するが、ノーマリオフの特性は維持できていることがわかる。

**3-4 縦型 MOSFET の評価** これまでの評価では SiO<sub>2</sub>/SiC の界面やチャネル部の特性を評価し、(0-33-8) の SiO<sub>2</sub>/SiC の特性が (0001) に比べて優れていることを示した。ここでは、実際の製品レベルに近い縦型 MOSFET のオン特性と逆方向特性について報告する。

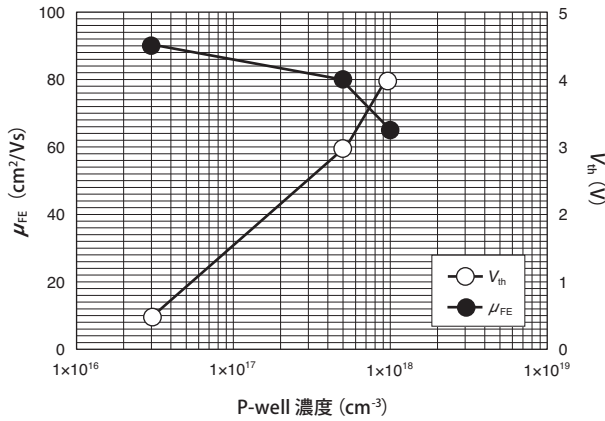


図6 閾値電圧とチャネル移動度のP-well濃度依存性

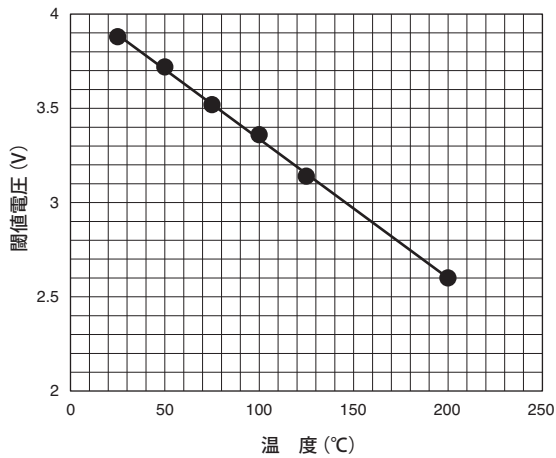


図7 閾値電圧の温度依存性

縦型 MOSFET に用いた n 型エピタキシャル成長層の濃度と膜厚は、それぞれ  $9 \times 10^{15} \text{ cm}^{-3}$ 、 $10 \text{ }\mu\text{m}$  である。P-well の濃度は  $5 \times 10^{17} \text{ cm}^{-3}$  とした。デバイスのチップサイズは  $1.5\text{mm} \times 1.5\text{mm}$  であり、詳細は記載しないが逆方向電圧印加時のデバイス内部の強電界を緩和するために、デバイス終端部には電界緩和構造を設けた。

図8に(0-33-8)上の縦型 MOSFET から得られた  $I_D$ - $V_D$  特性を示す。ゲート電圧は  $0 \sim 15 \text{ V}$  で変化させた。ゲー

ト電圧が  $0 \text{ V}$  では電流が流れておらず、ノーマリオフの特性が得られていることがわかる。また、ゲート電圧  $15 \text{ V}$ 、ドレイン電圧  $2 \text{ V}$  の時の電流密度は  $500 \text{ A/cm}^2$  となり、特性オン抵抗は  $4 \text{ m}\Omega \cdot \text{cm}^2$  を得ることができた。同構造の縦型 MOSFET を (0001) に作製した場合には、チャネル移動度が低いために、特性オン抵抗が  $12 \sim 13 \text{ m}\Omega \cdot \text{cm}^2$  となる。この比較からも、(0-33-8) を用いることで、縦型 MOSFET においても大幅なオン抵抗低減が確認された。

図9には、この縦型 MOSFET の逆方向電圧特性を示すが、耐圧は  $890 \text{ V}$  となった。(0-33-8) は (0001) に比べて絶縁破壊電界が低いことが報告されている<sup>(14)</sup>。本実験に用いた濃度  $9 \times 10^{15} \text{ cm}^{-3}$ 、膜厚  $10 \text{ }\mu\text{m}$  のエピタキシャル成長層の理想耐圧は約  $1,000 \text{ V}$  であり、理想耐圧の約  $90\%$  が得られていることになる。

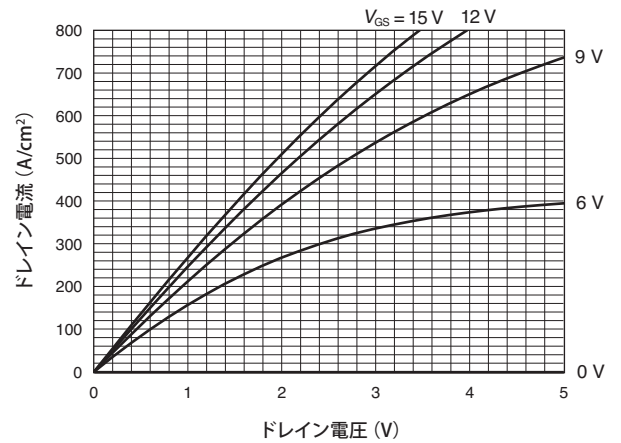


図8 縦型 MOSFET の  $I_D$ - $V_D$  特性

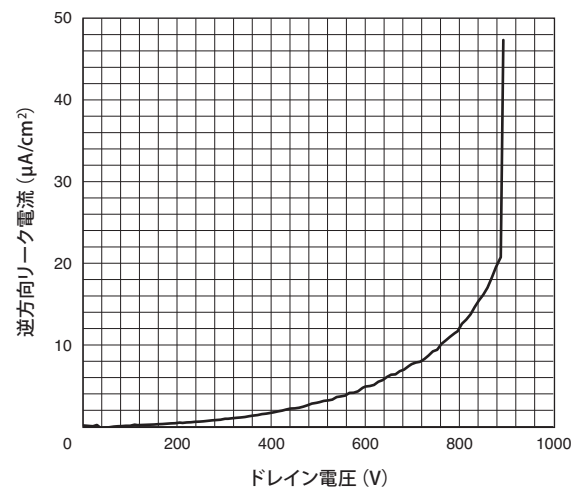


図9 縦型 MOSFET の逆方向特性

## 4. 今後の展望

現在、耐圧数百Vから3,300Vレベルの中耐圧領域では、Siパワーデバイスの一つであるIGBT (Insulated Gate Bipolar Transistor) が活躍している。この領域の応用としては、電気自動車、産業用モーター、電鉄等のドライブに使用されるインバータが多く、低損失化と省スペース化が強く望まれている。SiCを用いることでSi IGBTに比べ低損失化が可能であるが、本開発で評価した4H-SiC (0-33-8) は、従来のSiC MOSFET以上に損失を減らすことが可能となる。また、高温環境下においても安定したノーマリオフ動作が得られたことから、冷却機構の簡略化も可能であり、省スペース化に大きく貢献できると考えられる。

今後は、デバイス構造や製造プロセスの最適化によって、より低損失なMOSFETの開発を目指す。また、チップサイズの拡大により、電流量の拡大も図る。さらに、より高い耐圧域の応用も視野に入れた技術開発 (厚膜のエピタキシャル成長層やデバイス端部の終端構造の開発) にも取り組む。

## 5. 結 言

SiO<sub>2</sub>/SiC界面特性の改善がSiC MOSデバイスの大きな課題であったが、4H-SiC (0-33-8) を用いることで大幅に改善できることが示された。MOSFETのチャネル移動度は80 cm<sup>2</sup>/Vsとなり、サブスレッショルドスロープの立ち上がりから求めた閾値電圧も3Vまで高くすることができた。また、SiCは高温下での動作が期待されているが、200°Cにおいてもノーマリオフの動作を確認した。さらに、特性オン抵抗4 mΩ・cm<sup>2</sup> (耐圧890V) という低抵抗な縦型MOSFETを実現した。

## 参 考 文 献

- (1) H. Matsunami and T. Kimoto, "Material Science and Engineering", R20, pp.125-166 (1997)
- (2) thinQ!™, <http://www.infineon.com>
- (3) J. A. Cooper, Jr., M. R. Melloch, R. Singh, A. Agarwal, and J. W. Palmour, "IEEE Transactions on Electron Devices" vol. 49, pp.658-664 (2002)
- (4) M. Matin, A. Saha, and J. A. Cooper, Jr., "IEEE Transactions on Electron Devices", vol. 51, pp.1721-1725 (2004)
- (5) N. S. Saks, S. S. Mani, and A. K. Agarwal, "Applied Physics Letters", vol.76, pp.2250-2252 (2000)
- (6) H. Yano, T. Hirao, T. Kimoto and H. Matsunami, "Applied Physics Letters", vol. 78, pp.374-376 (2001)
- (7) H. Yano, T. Hirao, T. Kimoto, H. Matsunami, K. Asano and Y. Sugawara, "IEEE Electron Device Letters", vol. 20, pp.611-613 (1999)
- (8) K. Fukuda, M. Kato, K. Kojima and J. Senzaki, "Applied Physics Letters", vol. 84, pp.2088-2090 (2004)

- (9) T. Kimoto, Y. Kanzaki, M. Noborio, H. Kawano and H. Matsunami, "Japanese Journal of Applied Physics", vol. 44, pp.1213-1218 (2005)
- (10) D. Okamoto, H. Yano, K. Hirata, T. Hatayama and T. Fuyuki, "IEEE Electron Device Letters", vol. 31, pp.710-712 (2010)
- (11) E. Arnold, J. Ladell and G. Abowitz, "Applied Physics Letters", vol. 13, pp.413-416 (1968)
- (12) N. S. Saks, "Hall Effect Studies of Electron Mobility and Trapping at the SiC/SiO<sub>2</sub> Interface", Silicon Carbide Recent Major Advances, W. J. Choyke, H. Matsunami and G. Pensl, pp.387-410 (2003)
- (13) S.-H. Ryu, S. Dhar, S. Haney, A. Agarwal, A. Lelis, B. Geil, and C. Scozzie, "Materials Science Forum", vols. 615-617, pp. 743-748 (2009)
- (14) S. Nakamura, H. Kumagai, T. Kimoto, and H. Matsunami, "Applied Physics Letters", vol. 80, pp. 3355-3357 (2002)

## 執 筆 者

日吉 透\*: パワーデバイス開発部



増田 健良 : パワーデバイス開発部 主査



和田 圭司 : パワーデバイス開発部 主査



原田 真 : パワーデバイス開発部 主席



築野 孝 : パワーデバイス開発部 グループ長 (理学博士)



並川 靖生 : 半導体技術研究所 グループ長 (工学博士)



\*主執筆